

**DISPOSITIF MICROELECTRONIQUE A EFFET DE CHAMP APTE A
FORMER UN OU PLUSIEURS CANAUX DE TRANSISTORS**

DESCRIPTION

5 DOMAINE TECHNIQUE ET ART ANTERIEUR

La présente invention se rapporte au domaine des circuits intégrés, et plus particulièrement à celui des transistors à effet de champ.

Une structure connue de transistor à effet
10 de champ 111, est illustrée sur la figure 1. Elle comprend une première zone formant une source 110, une seconde zone formant un drain 120 et repose sur un substrat 100 par exemple à base de silicium.

La source 110 et le drain 120 ont une forme
15 sensiblement rectangulaire et affleurent partiellement à la surface du substrat 100. La structure de transistor 111, comporte également un canal sous forme d'un bloc ou barreau, de forme se rapprochant de celle d'un parallélépipède, et permettant de relier dans le
20 sens de sa longueur, la source 110 et le drain 120. Le canal a une longueur notée L mesurée dans une direction source-drain ainsi qu'une largeur notée W mesurée dans une direction parallèle à un plan principal du substrat 100.

25 Le canal est recouvert d'une zone formant une grille 140. La grille 140 est en contact avec le canal sur une surface S_1 (non représentée sur la figure 1). La grille permet de contrôler la conduction du canal et donc l'intensité d'un courant transitant entre
30 la source 110 et le drain 120.

On cherche continuellement à augmenter les performances des transistors en essayant d'améliorer deux facteurs normalement incompatibles: la vitesse de fonctionnement et la consommation des transistors.

5 Pour augmenter la vitesse de fonctionnement, on essaie notamment de réduire la taille des transistors, ce qui permet par ailleurs de réduire les coûts de fabrication et de réaliser des circuits intégrés avec un nombre de transistors plus
10 élevé.

Diminuer la taille des transistors implique par exemple le rapprochement de la source et du drain et la réalisation d'un canal de longueur et de largeur de plus en plus faibles. Cette tendance peut entraîner
15 des effets néfastes au bon fonctionnement des transistors tels que des « effets de canal court » (en anglais « short channel effect »). Ainsi, à mesure que l'on diminue la longueur du canal des transistors, le drain et la source ont une influence de plus en plus
20 importante sur la conduction du canal, normalement contrôlée par la grille. Les « effets de canal court » entraînent, entre autres, une diminution de la tension seuil avec la longueur de canal et la tension de drain, ce qui entraîne une augmentation de la fuite du
25 transistor à l'état bloqué. Ceci n'est guère compatible avec l'amélioration des performances des circuits intégrés.

Un second exemple de structure de transistor à effet de champ 222 est illustré sur la
30 figure 2 et présenté dans le document [1] référencé à la fin de la présente description. Cette structure

permet de remédier en partie au problème exposé ci-dessus, et notamment de s'affranchir des effets de canal court.

La structure de transistor 222 est formée sur un substrat 100. Elle comprend une première zone rectangulaire formant une source 210 et une seconde zone rectangulaire formant un drain 220 reposant sur le substrat 100. Elle comporte également un canal 230 sous forme de plusieurs barreaux 202 parallélipipédiques juxtaposés sur le substrat 100 et parallèles entre eux. Les barreaux 202 ont des longueurs L_2 et des largeurs W_2 . Ils relient, dans le sens de leurs longueurs L_2 , la source 210 et le drain 220.

Les barreaux 200 sont séparés entre eux par des espaces 201 de largeur W_e . Le canal 230 est recouvert et en contact sur une surface S_2 (non représentée sur la figure 2) avec une grille 240. L'étendue de la surface S_2 influe sur la valeur de la tension de seuil du transistor. De préférence, elle est la plus faible possible afin de limiter la consommation du transistor, mais doit rester suffisante pour pouvoir assurer un bon niveau de courant dans le canal 230.

Selon le document [1], cette structure de transistor 222 permet de lutter contre des effets de canal court et a de meilleures performances en terme de consommation que la structure classique de transistor 111 illustrée sur la figure 1. En effet, pour des tensions égales appliquées sur la grille 140 de la structure classique de transistor 111 et sur la grille 240 de la seconde structure de transistor de 222, à surfaces de contact entre grille et canal S_1 et S_2

égales, on obtient un courant de canal supérieur pour la structure de transistor 222 illustrée sur la figure 2.

La structure de transistor 222 pose néanmoins des problèmes, notamment en terme de densité d'intégration.

Cette structure, pour rester efficace, prend généralement plus de place sur un substrat sur lequel elle a été formée, qu'une structure classique comme la structure 111 de la figure 1. Pour former la structure de transistor 222 tout en tenant compte de contraintes en terme de courant, on essaie de réaliser des barreaux 202 ayant des largeurs W_2 les plus faibles possibles, avec des espaces 201 entre les barreaux 202 également les plus faibles possible. Mais, les largeurs W_2 des barreaux 202, ainsi que les largeurs W_e sont limitées car dépendantes des dimensions minimales que l'on peut obtenir par les procédés de photolithographie puis de gravure actuels ou nécessitent d'employer des procédés de gravure de photolithographie ou de gravure complexes et difficilement reproductibles.

En plus d'améliorer la vitesse et la consommation des transistors, on cherche également continuellement à améliorer leur densité d'intégration sur des puces ou des circuits intégrés.

Un dispositif microélectronique illustré sur la figure 3 et décrit dans le document [2] référencé à la fin de la présente description, propose notamment une solution pour améliorer la densité d'intégration des transistors dans une puce. Ce dispositif comprend un substrat 100, de préférence

isolant électriquement, sur lequel sont empilés trois transistors 333a, 333b, 333c, à grille commune séparés entre eux par une première couche diélectrique 300a et une deuxième couche diélectrique 300b intercalées.

5 Chacun des transistors 333a, 333b, 333c, comporte une zone rectangulaire formant une source notée respectivement 310a, 310b, 310c, et une seconde zone rectangulaire formant un drain notée respectivement 320a, 320b, 320c. Chacune des sources 310a, 310b, 310c

10 et des drains 320a, 320b, 320c sont respectivement reliés par des barreaux conducteurs de forme parallélépipédique formant des canaux et notés 330a, 330b, 330c.

Par ailleurs, une grille 340 commune aux

15 trois transistors 333a, 333b, 333c recouvre partiellement l'empilement de canaux 330a, 330b, 330c.

EXPOSÉ DE L'INVENTION

La présente invention a pour but de présenter un dispositif microélectronique à effet de

20 champ comportant une structure formant un ou plusieurs canaux de transistor. Cette structure, formant un ou plusieurs canaux de transistors, apporte aux transistors à effet de champ des améliorations, notamment en terme de densité d'intégration et en terme

25 de performances électriques.

La présente invention concerne un dispositif microélectronique à effet de champ comprenant :

- a) un substrat
- 30 b) au moins une structure formant un ou plusieurs canaux aptes à relier, dans le sens de leurs

longueurs, une ou plusieurs sources et un ou plusieurs drains, ladite structure étant bâtie d'un empilement dans une direction orthogonale à un plan principal du substrat d'au moins deux barreaux de largeurs différentes réalisant un profil dentelé, par exemple en créneaux.

Ledit profil s'étend dans au moins une direction présentant un angle non nul avec le plan principal du substrat ou dans au moins une direction orthogonale au plan principal du substrat.

Ladite structure formant un ou plusieurs canaux comprise dans le dispositif suivant l'invention, peut permettre un gain de place par rapport à une structure, telle qu'illustrée sur la figure 2, comportant des barreaux juxtaposés.

Par ailleurs, des largeurs différentes de barreaux, ou encore un profil dentelé ou en créneau de ladite structure formant un ou plusieurs canaux, permettent ou permet d'améliorer le contrôle de la conduction du ou des canaux par une grille venant recouvrir, au moins partiellement, ladite structure. En effet, la surface de contact entre ce ou ces canaux et la grille est alors augmentée. D'autre part, ceci permet d'utiliser un phénomène de conduction entre la grille et les barreaux, confinée au niveau des arêtes ou/et des bords de ces derniers.

La structure peut être formée uniquement de barreaux susceptibles d'assurer une conduction électrique. Elle permet alors de former un canal unique de transistor, comportant un profil dentelé ou en créneau.

Selon une variante, ladite structure peut être formée d'un ou plusieurs barreaux susceptibles d'assurer une conduction électrique et d'un ou plusieurs barreaux non conducteurs pouvant par exemple servir de support mécanique aux autres barreaux de la structure. Ainsi, la structure peut permettre de former un seul canal, apte à relier une source et un drain de transistor, et comportant plusieurs barreaux conducteurs séparés entre eux par lesdits barreaux non conducteurs. Lesdits barreaux non conducteurs peuvent être à base de matériau isolant tel que par exemple du SiO_2 . La structure peut également former plusieurs canaux, aptes à relier plusieurs sources et plusieurs drains de transistors, et séparés entre eux par des barreaux non conducteurs.

L'empilement peut comprendre au moins deux barreaux successifs à base de matériaux différents. Ainsi, l'empilement peut comprendre au moins deux barreaux successifs à base de matériaux semi-conducteurs différents ou de dopages différents. Par exemple au moins deux barreaux successifs dont un est à base de Si et l'autre à base de SiGe ou bien par exemple dont un est à base de Si dopé N et l'autre est à base de Si non dopé ou dopé P.

L'empilement peut également comprendre au moins deux barreaux successifs dont un premier est à base d'un matériau semi-conducteur tel que par exemple le Si ou le SiGe et dont un deuxième est à base d'un matériau isolant tel que par exemple du SiO_2 .

La nature du matériau formant les barreaux peut dépendre notamment des propriétés du point de vue

de la conduction électrique, que l'on souhaite donner à ladite structure.

Des barreaux à base de matériaux semi-conducteurs, en fonction de leurs épaisseurs ou/et
5 selon qu'ils ont été, ou non, dopés, sont susceptibles d'assurer une conduction électrique.

L'empilement peut comprendre par exemple au moins un barreau à base d'un matériau semi-conducteur, tel que le silicium, le SiGe (siliciure de Germanium),
10 le Germanium (Ge), l'arséniure de Galium (GaAs), éventuellement dopé, et au moins un barreau à base d'un deuxième matériau semi-conducteur, tel que le Si, le Ge, le GaAs, le SiGe, éventuellement dopé. Par ailleurs, l'empilement peut être formé d'une alternance
15 de barreaux à base de matériaux semi-conducteurs différents ou/et de dopages différents tels que par exemple une alternance de barreaux à base de Si et de barreaux à base de SiGe ou d'une alternance de barreaux à base de Ge et de barreaux à base de GaAs, ou d'une
20 alternance de barreaux à base de SiGe et de barreaux à base de Ge, ou encore d'une alternance de barreaux en silicium non dopé et de barreaux en silicium dopé N ou P.

L'empilement peut également être formé
25 d'une alternance de barreaux à base de matériau semi-conducteur et de barreaux à base d'un matériau isolant tels que par exemple une alternance de barreaux à base de Si ou SiGe et de barreaux à base de SiO₂.

Les barreaux peuvent avoir chacun des
30 épaisseurs différentes ainsi que des longueurs différentes. Des barreaux susceptibles d'assurer une

conduction électrique peuvent avoir une épaisseur par exemple comprise entre 3 et 100 nanomètres et avantageusement entre 5 et 15 nanomètres.

Les barreaux susceptibles d'assurer une
5 conduction électrique peuvent avoir une épaisseur faible, inférieure à 10 nm, par exemple comprise entre 1 nm et 10 nm, permettant d'obtenir un bon confinement des porteurs de charges dans ces barreaux.

Des barreaux non conducteurs peuvent par
10 exemple avoir une épaisseur comprise entre 3 et 100 nanomètres. Avantageusement, les barreaux conducteurs et les barreaux non conducteurs ont des tailles de même ordre de grandeur.

Selon une caractéristique particulière de
15 l'invention, un ou plusieurs barreaux, par exemple des barreaux non conducteurs ou semi-conducteurs, peuvent être entourés au moins partiellement, dans une direction parallèle à un plan principal du substrat, de bouchons isolants. Ces bouchons isolants peuvent être à
20 base d'un matériau diélectrique tel que par exemple du nitrure.

Selon une caractéristique particulière du dispositif microélectronique à effet de champ selon l'invention, ce dernier peut comprendre en outre un
25 masque dur sur ledit empilement.

Le masque dur peut être formé à base d'oxyde de silicium ou de nitrure, il peut permettre d'empêcher une conduction parasite sur le dessus de l'empilement et d'éviter ainsi la formation d'un canal
30 parasite.

Selon une caractéristique particulière du dispositif microélectronique à effet de champ selon l'invention, ce dernier peut comprendre en outre une grille pouvant recouvrir au moins partiellement ladite structure et éventuellement le masque dur. Les bouchons isolants peuvent alors permettre par exemple d'empêcher une conduction électrique entre une grille recouvrant ladite structure et les barreaux non conducteurs ou semi-conducteurs de ladite structure.

Le dispositif selon l'invention peut en outre comprendre une ou plusieurs sources reliées par ladite structure à un ou plusieurs drains.

L'invention concerne également un dispositif microélectronique à effet de champ comportant :

- a) un substrat
- b) au moins une structure formant un ou plusieurs canaux aptes à relier, dans le sens de leurs longueurs, une seule source et un seul drain, ladite structure étant bâtie d'un empilement dans une direction orthogonale à un plan principal du substrat d'au moins deux barreaux différents, par exemple à base de matériaux différents ou/et de largeurs différentes.

L'invention comprend en outre un procédé de réalisation d'un dispositif microélectronique à effet de champ doté d'au moins une structure comportant au moins deux barreaux empilés de largeurs différentes apte à former un ou plusieurs canaux de transistors. Le procédé suivant l'invention comprend les étapes de :

- formation, sur un substrat d'un empilement de plusieurs couches comportant au moins deux couches successives à base de matériaux différents,
- 5 - formation d'au moins un masque sur ledit empilement,
- gravure anisotrope des couches à travers le masque,
- gravure partielle et sélective d'une ou
- 10 plusieurs couches de l'empilement.

Ledit masque peut comprendre un masque de résine.

Avantageusement, ledit masque peut comprendre un masque de résine et un masque dur
15 empilés. Le masque dur peut être par exemple à base de nitrure ou de SiO_2 et permettre de faciliter la gravure des couches de l'empilement.

Le masque dur peut également permettre s'il est conservé à la fin du procédé, d'isoler
20 électriquement le dessus de l'empilement.

De manière avantageuse, la gravure partielle et sélective des couches de l'empilement peut être isotrope.

L'empilement peut comprendre au moins deux
25 couches à base de matériaux semi-conducteurs différents ou de dopages différents choisis parmi les matériaux suivants : Si, SiGe, Ge, GaAs, Si dopé N, Si dopé P.

Selon une autre caractéristique particulière du procédé suivant l'invention, ledit
30 empilement peut comprendre au moins une couche à base

de matériau isolant et une couche à base de matériau semi-conducteur.

Le procédé suivant l'invention peut comprendre en outre : le dépôt conforme d'une couche diélectrique, par exemple à base de nitrure, sur ladite structure. Le procédé suivant l'invention peut alors comprendre en outre, la gravure isotrope au moins partielle de ladite couche diélectrique, de manière à former des bouchons isolants autour de certains barreaux de ladite structure.

Selon une possibilité de mise en oeuvre, le procédé suivant l'invention peut comprendre en outre : la formation d'une grille recouvrant au moins partiellement ladite structure et éventuellement le masque dur.

Selon une mise en œuvre particulière, cette grille peut être réalisée par un procédé de type damascène. La formation de la grille peut alors comprendre les étapes consistant à :

- recouvrir la structure d'une couche isolante,
- réaliser au moins une ouverture dans la couche isolante de manière à dévoiler ladite structure,
- recouvrir la structure d'un diélectrique ou isolant de grille tel que par exemple du HfO_2 ou du SiO_2 ,
- remplir l'ouverture d'un matériau de grille tel que par exemple du polysilicium, ou un métal réfractaire.

Selon une variante de mise en œuvre du procédé, préalablement à la formation de la grille, une

ou plusieurs étapes de dopage de ladite structure peuvent être réalisées.

BREVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

- les figures 1, 2, 3 déjà décrites représentent des structures de transistors à effet de champ comportant chacune une structure de canal selon l'art connu ;

- les figures 4, 5, 6A, 6B, 7, 8 représentent des exemples de dispositifs microélectroniques à effet de champ selon l'invention ;

- les figures 9A-9H représentent un premier exemple de procédé de réalisation d'un dispositif microélectronique suivant l'invention ;

- la figure 10 représente un exemple de motif que peut comporter un masque dur utilisé lors de l'exemple de procédé de réalisation suivant l'invention illustré par les figures 9A-9H et décrit plus bas ;

- les figures 11A-11D représentent un mode de réalisation particulier d'un procédé de réalisation d'un dispositif microélectronique suivant l'invention.

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une

échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

La figure 4 illustre un exemple de
5 dispositif microélectronique suivant l'invention. Elle représente un substrat 400 par exemple à base de matériau semi-conducteur, recouvert d'une couche isolante 401. Une structure 402 repose sur le substrat 400. Elle est bâtie selon un empilement, dans une
10 direction orthogonale à un plan principal du substrat 400, de plusieurs barreaux B_i , à base par exemple de matériau semi-conducteur.

Par plan principal du substrat 400, on entend un plan parallèle à la surface de la couche 401, ou passant par le substrat 400 et parallèle à un plan
15 $[O; \vec{i}; \vec{k}]$ d'un repère orthogonal $[O; \vec{i}; \vec{j}; \vec{k}]$ illustré sur la figure 4.

Ce dispositif peut être obtenu à l'aide de procédés de réalisation en couches minces. On entend
20 par barreaux : des blocs, des zones ou des ailettes de formes sensiblement parallélépipédiques extraites de couches minces.

Les barreaux sont obtenus par exemple par gravure de ces couches minces. Or, certains procédés de
25 gravure de couches minces ne permettent pas toujours d'obtenir des formes géométriques parfaites. Ainsi, lorsqu'on emploiera le terme de «barreaux» dans la présente description, on ne souhaite pas se limiter à des barreaux ou blocs ayant une forme parfaitement
30 parallélépipédique. On souhaite aussi inclure des

barreaux dont la forme se rapproche de celle d'un parallélépipède,

Les barreaux B_1 de la structure 402 ont des largeurs différentes, mesurées dans une direction
5 parallèle à celle définie par le vecteur \vec{i} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$. Il en résulte que la structure 402 présente un profil dentelé 403 (représenté en pointillé sur la figure 4), s'étendant dans au moins
10 une direction orthogonale au plan principal ou dans une direction présentant un angle non nul avec le plan principal du substrat. Dans le cas où les barreaux ont une forme très proche de la forme parallélépipédique, le profil dentelé 403 peut être un profil en créneaux.

La figure 5 illustre un autre exemple de
15 dispositif microélectronique selon l'invention.

Un substrat 500, par exemple à base d'un matériau semi-conducteur tel que par exemple du silicium est recouvert par une couche isolante par
exemple à base de SiO_2 . Sur la couche isolante 501
20 repose une structure 502 bâtie selon un empilement de plusieurs barreaux B_1, \dots, B_n .

Les barreaux B_1, \dots, B_n , sont empilés dans une direction orthogonale à un plan principal du substrat 500, soit une direction parallèle à la direction
25 définie par un vecteur \vec{j} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ illustré sur la figure 5.

Les barreaux B_1, \dots, B_n ont chacun une forme sensiblement parallélépipédique et sont illustrés, selon une coupe transversale.

30 Les barreaux B_1, \dots, B_n ont des longueurs qui peuvent être identiques ou différentes, et qui sont

mesurées dans une direction parallèle à la direction définie par le vecteur \vec{k} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$. Les longueurs des barreaux B_1, \dots, B_n ne sont pas référencées sur la figure 5, étant donné la vue en
5 coupe transversale.

Les barreaux B_1, \dots, B_n ont des largeurs W_1, \dots, W_n différentes, mesurées dans une direction parallèle à celle définie par le vecteur \vec{i} du repère $[0; \vec{i}; \vec{j}; \vec{k}]$. Les largeurs W_1, \dots, W_n sont comprises par exemple entre 10
10 nanomètres et 1 μm . Les barreaux B_1, \dots, B_n ayant des largeurs différentes, la structure 502 présente un profil 503 dentelé représenté en pointillé sur la figure 5, qui s'étend dans au moins une direction orthogonale au plan principal du substrat 500.

15 Les barreaux B_1, \dots, B_n peuvent également avoir des épaisseurs e_1, \dots, e_n différentes les unes par rapport aux autres, mesurées dans une direction parallèle à celle définie par le vecteur \vec{j} du repère $[0; \vec{i}; \vec{j}; \vec{k}]$. Les épaisseurs e_1, \dots, e_n sont comprises par exemple entre
20 3 et 100 nanomètres ou avantageusement entre 5 et 15 nanomètres.

Les n barreaux B_1, \dots, B_n peuvent être tous réalisés à base d'un même matériau semi-conducteur ou bien à base de plusieurs matériaux semi-conducteurs
25 différents, tels que par exemple du silicium, éventuellement dopé, ou bien du SiGe, éventuellement dopé, ou bien du Germanium, éventuellement dopé, ou bien de l'arséniure de Gallium, éventuellement dopé.

La structure 502 forme un canal de
30 transistor 530 présentant un profil 503 dentelé

susceptible de joindre une première zone sur le substrat 500 formant une source (non représentée sur la figure 5) et une seconde zone sur le substrat 500 formant un drain (non représenté sur la figure 5).

5 Le canal 530 pourra être recouvert par une grille venant épouser le profil 503 dentelé. Ce profil 503 dentelé permettra, dans ce cas, d'obtenir une surface de contact entre ladite grille et le canal 530 plus importante que celle que l'on obtiendrait avec un
10 canal classique de même dimensions mais comportant un profil plan.

La figure 6A illustre un autre exemple de dispositif microélectronique selon l'invention. Une structure 602, reposant sur un substrat 500 recouvert
15 d'une couche isolante 501, est bâtie selon un empilement de 9 barreaux B_1, \dots, B_9 empilés dans cet ordre, et ayant chacun une forme sensiblement parallélépipédique.

Les barreaux B_1, \dots, B_9 , sont représentés sur
20 la figure 6A selon une coupe transversale. Les barreaux B_1, B_3, B_5, B_7, B_9 , ont des largeurs respectives W_1, W_3, W_5, W_7, W_9 , sensiblement les mêmes, mesurées dans une direction parallèle à celle définie par le vecteur \vec{i} du repère orthogonal $[O; \vec{i}; \vec{j}; \vec{k}]$ illustré à la figure 6A.
25 Les largeurs W_1, W_3, W_5, W_7, W_9 sont comprises par exemple entre 5 nm et quelques micromètres (par exemple 5 μm) et avantageusement entre 10 nm et 100 nm. Les barreaux B_1, B_3, B_5, B_7, B_9 , sont alternativement empilés avec les barreaux B_2, B_4, B_6, B_8 , ayant des largeurs
30 respectives W_2, W_4, W_6, W_8 , comprises par exemple entre 5 nm et quelques μm (par exemple 5 μm), avantageusement

entre 5 nm et 95 nm, et inférieures aux largeurs W_1 , W_3 , W_5 , W_7 , W_9 .

Les barreaux B_1, \dots, B_9 ont de plus des longueurs différentes les unes par rapport aux autres, mesurées dans une direction parallèle à celle définie par le vecteur \vec{k} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$.

Les barreaux B_1, \dots, B_9 sont réalisés à base d'un matériau semi-conducteur comme par exemple du silicium, éventuellement dopé. De par leurs natures ou compositions et/ou le niveau de dopage du matériau semi-conducteur, les barreaux B_1 , B_3 , B_5 , B_7 , B_9 sont susceptibles d'assurer une conduction électrique. Ils peuvent ainsi former un canal ou éventuellement plusieurs canaux, de transistors.

Les barreaux B_1 , B_3 , B_5 , B_7 , B_9 , ont des épaisseurs e_1 , e_3 , e_5 , e_7 , e_9 , mesurées dans des directions parallèles à celles définies par le vecteur \vec{j} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$. Les épaisseurs e_1 , e_3 , e_5 , e_7 , e_9 , sont par exemple inférieures à 15 nanomètres, afin de permettre un confinement de porteurs de charges dans les barreaux B_1 , B_3 , B_5 , B_7 , B_9 lorsque ces derniers assurent une conduction électrique.

Les barreaux B_2 , B_4 , B_6 , B_8 ont des épaisseurs e_2 , e_4 , e_6 , e_8 , comprises par exemple entre 3 et 100 nanomètres, avantageusement entre 5 et 15 nanomètres. Ils peuvent comprendre un matériau semi-conducteur comme par exemple du SiGe non dopé ou un matériau isolant tel que du SiO_2 . Les barreaux B_2 , B_4 , B_6 , B_8 , sont non conducteurs ou semi-conducteurs, ils peuvent servir par exemple de soutien mécanique à la

structure 602 et d'isolation entre les barreaux B_1 , B_3 , B_5 , B_7 , B_9 .

De par les largeurs différentes des barreaux B_1, \dots, B_9 et la forme sensiblement parallélépipédique de ces mêmes barreaux, la structure 602 présente un profil en créneau 603 qui s'étend dans au moins une direction orthogonale à un plan principal du substrat 500.

La structure 602 est en outre recouverte par une grille 650 formée tout d'abord d'une couche d'isolant de grille 604, d'épaisseur comprise par exemple entre 0,5 nm et 50 nanomètres, qui suit le profil en créneau. La couche d'isolant de grille 604 peut être par exemple à base de SiO_2 ou de Si_3N_4 , ou de tout autre matériau diélectrique pouvant servir d'isolant de grille.

La grille 650 est également formée d'une autre couche de matériau de grille 605 recouvrant la couche d'isolant de grille 604 et embrassant le profil en créneau. La couche de matériau de grille 605 peut être réalisée par exemple à base d'un matériau semi-conducteur, tel que du polysilicium éventuellement dopé ou siliciuré (partiellement ou totalement), du SiGe, ou même à base par exemple d'un métal réfractaire. Le profil en créneau 603 permet à la grille 650 d'avoir une surface de contact importante avec la structure 602, et par conséquent, une bonne surface de conduction avec les barreaux B_1 , B_3 , B_5 , B_7 , B_9 , susceptibles d'assurer une conduction électrique.

Le profil en créneau 603 peut par ailleurs permettre une conduction confinée dans les coins des

barreaux B_1, B_3, B_5, B_7, B_9 , lorsque ces derniers assurent une conduction électrique.

La structure 602 est susceptible de relier dans le sens de sa longueur, parallèle à un plan principal du substrat 500, une première région réalisée sur le substrat 500 formant plusieurs sources de transistors, et une seconde région également réalisée sur le substrat 500 formant plusieurs drains de transistors. Les barreaux B_1, B_3, B_5, B_7, B_9 de la structure 602 réalisent alors cinq canaux 630a, 630b, 630c, 630d, 630e, alignés et parallèles entre eux dans un plan orthogonal à un plan principal du substrat. Les canaux sont séparés entre eux par les barreaux B_2, B_4, B_6, B_8 non conducteurs ou semi-conducteurs.

Le nombre de barreaux de la structure ainsi que le nombre de canaux que réalise la structure ne sont pas limités.

La figure 6B illustre une variante du dispositif microélectronique illustré sur la figure 6A. La structure 602 décrite plus haut est représentée sur la figure 6B dans toute sa longueur et en perspective. Le repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ illustré sur la figure 6B est le même que celui de la figure 6A.

Le dispositif microélectronique de la figure 6B diffère de celui de la figure 6A, en ce qu'il comprend en outre, une première région sur le substrat 500 comportant 5 sources 610a, 610b, 610c, 610d, 610e empilées, de transistors différents. Les sources 610a, 610b, 610c, 610d, 610e sont séparées entre elles par 4 couches 600a, 600b, 600c, 600d non conductrices et par exemple à base d'un matériau isolant tel que le SiO_2 ou

semi-conductrices et par exemple à base d'un matériau semi-conducteur tel que le SiGe. Les sources 610a, 610b, 610c, 610d, 610e sont reliées via les 5 canaux 630a, 630b, 630c, 630d, 630e de la structure 602, à une
5 seconde région comportant 5 drains 620a, 620b, 620c, 620d, 620e de transistors différents également empilés et également séparés entre eux par les 4 couches 600a, 600b, 600c, 600d non conductrices ou semi-conductrices. Une grille 650 est commune aux canaux 630a, 630b, 630c,
10 630d, 630e. La grille 650 recouvre partiellement la structure 602, dans une direction parallèle à celle définie par le vecteur \vec{k} du repère $[0; \vec{i}; \vec{j}; \vec{k}]$. La grille 650 est cependant en contact avec tous les canaux 630a, 630b, 630c, 630d, 630e par l'intermédiaire
15 de l'oxyde de grille.

Selon une caractéristique particulière du dispositif microélectronique illustré à la figure 6B, l'empilement des sources 610a, 610b, 610c, 610d, 610e et l'empilement des drains 620a, 620b, 620c, 620d, 620e
20 réalise un profil en créneau, comme celui de la structure 602.

La figure 7 représente un autre exemple de dispositif microélectronique suivant l'invention comprenant un substrat 500 recouvert par une couche
25 isolante 501. Une structure 702 comportant 6 barreaux B_1, \dots, B_6 issus de couches minces repose sur la couche isolante 501. Les barreaux B_1, \dots, B_6 sont illustrés en coupe transversale sur la figure 7. Ils ont des largeurs différentes les uns par rapport aux autres,
30 mesurées dans une direction parallèle à celle définie par le vecteur \vec{i} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$.

La structure 702 présente par ailleurs un profil en créneaux 703. Les barreaux B_2 , B_4 , B_6 , sont aptes à assurer une conduction électrique.

Les barreaux B_1 , B_3 , B_5 , sont non
5 conducteurs et peuvent être à base d'un matériau isolant tel que SiO_2 . Ils peuvent être également semi-conducteurs à base d'un matériau tel que du SiGe par exemple non dopé et n'assurer qu'une conduction très faible en comparaison des barreaux B_2 , B_4 , B_6 , voire
10 quasi-nulle.

La structure 702 comporte en outre des bouchons d'isolation entourant les barreaux B_1 , B_3 , B_5 et s'étendant dans la même direction que ces derniers. Les bouchons isolants 706 peuvent être à base d'un
15 matériau diélectrique tel que par exemple du nitrure.

La structure 702 est recouverte d'une couche 704 d'isolant de grille, d'épaisseur comprise par exemple entre 2 et 50 nanomètres, qui suit le profil en créneau 703. La couche 704 d'isolant de
20 grille peut être par exemple à base de SiO_2 ou de Si_3N_4 , ou de tout autre matériau diélectrique pouvant servir d'isolant de grille. La couche 704 d'isolant de grille est recouverte par une seconde couche 705 embrassant le profil en créneaux 703 de la structure 702. La couche
25 705 est par exemple à base d'un matériau semi-conducteur tel que du polysilicium éventuellement dopé, du SiGe, etc. ou d'un métal réfractaire. L'ensemble formé par la couche 704 d'isolant de grille et la couche 705 forment une grille 750 pour un ou plusieurs
30 transistors.

Les bouchons d'isolation 706 décrits plus haut peuvent servir à empêcher toute conduction électrique entre la grille et les barreaux B_1 , B_3 , B_5 .

Les barreaux B_2 , B_4 , B_6 pourront former un
5 ou plusieurs canaux de transistors, selon que la structure 702 est reliée à une ou plusieurs sources et à un ou plusieurs drains de transistors.

La figure 8 représente un autre exemple de dispositif microélectronique suivant l'invention : le
10 dispositif comprend un substrat 500, recouvert par une couche isolante 501. Sur la couche isolante 501 repose une première zone formant une source 810 ainsi qu'une seconde zone formant un drain 820. La source 810 et le drain 820 sont reliés entre eux par une structure 802
15 bâtie d'un empilement, dans une direction orthogonale à un plan principal du substrat, de 6 barreaux B_1, \dots, B_6 , à base de matériaux différents. La structure 802 peut être réalisée par exemple à base d'une alternance de barreaux à base d'un matériau semi-conducteur B_1 , B_3 ,
20 B_5 , et de barreaux à base d'un matériau isolant B_2 , B_4 , B_6 . Les barreaux ont dans cet exemple des longueurs et des largeurs sensiblement identiques. Les barreaux B_1 , B_3 , B_5 , sont susceptibles d'assurer une conduction électrique entre la source 810 et le drain 820, ils
25 forment donc à eux trois un canal 830 unique de transistor reliant la source 810 et le drain 820. Une grille 850, apte à contrôler la conduction du canal 830, recouvre partiellement la structure 802 dans une direction parallèle à celle définie par un vecteur \vec{k}
30 du repère $[0; \vec{i}; \vec{j}; \vec{k}]$ illustré sur la figure 8.

Selon une variante du dispositif illustré sur la figure 8, la structure 802 est remplacée, par la structure 702 comprenant un profil en créneaux 703, illustrée à la figure 7 et décrite plus haut.

5 Un premier exemple de procédé de réalisation d'un dispositif microélectronique à effet de champ suivant l'invention va à présent être décrit. Il est illustré par les figures 9A-9H,

10 La première étape de ce procédé illustrée par la figure 9A consiste à réaliser un empilement 902 de n couches C_1, \dots, C_n (avec n supérieur à 2, une partie de l'empilement étant représentée de manière schématique à l'aide de traits discontinus), sur un substrat 900. Le substrat 900 peut être à base de
15 silicium et recouvert d'une couche isolante 901, par exemple une couche SIMOX (couche de séparation par implantation d'oxygène) à base de SiO_2 . Les n couches empilées peuvent être réalisées par exemple par
20 épitaxie, ou par exemple par CVD (CVD pour « chemical vapor deposition » en français dépôt chimique en phase vapeur) en particulier par épitaxie. Les couches C_1, \dots, C_n ont des épaisseurs e_1, \dots, e_n qui peuvent être différentes les unes par rapport aux autres et mesurées dans une direction orthogonale à un plan principal du substrat
25 500.

 Les épaisseurs e_1, \dots, e_n peuvent être par exemple comprises entre 3 et 100 nanomètres ou entre 5 et 15 nanomètres. Les couches C_1, \dots, C_n peuvent être réalisées par exemple à base de différents matériaux
30 semi-conducteurs tels que du silicium ou du SiGe ou du GaAs, ou du Ge. Certaines des couches de l'empilement

902 peuvent également être réalisées à base d'un matériau isolant tel que par exemple le SiO_2 .

L'empilement 902 comprend au moins deux couches successives C_i, C_{i+1} (avec $i \in [1;n]$) de
5 matériaux différents. Dans le cas où la couche C_i est réalisée à base d'un premier matériau semi-conducteur tel que du Si, la couche C_{i+1} peut être réalisée à base d'un second matériau semi-conducteur différent du premier tel que par exemple du SiGe ou à base d'un
10 second matériau semi-conducteur dopé, de dopage différent du premier matériau tel que par exemple du Si dopé N ou P. Le second matériau peut être également à base d'un matériau isolant tel que par exemple du SiO_2 .

Selon une caractéristique particulière du
15 procédé suivant l'invention, l'empilement peut être réalisé par une alternance de couches à base de matériau semi-conducteur tel que le silicium et de couches à base de matériau isolant tel que par exemple du SiO_2 , ou bien d'une alternance de couches à base
20 d'un premier matériau semi-conducteur et de couches à base d'un second matériau semi-conducteur.

L'empilement peut être réalisé par exemple par une alternance de couches à base de Si et de couches à base de SiGe ou par exemple d'une alternance
25 de couches à base de Ge et de couches à base de AsGa, ou par exemple d'une alternance de couches à base de SiGe et de couches à base de Ge, ou encore par exemple d'une alternance de couches à base de Si dopé N ou P et de couches à base de Si non dopé.

30 Une fois l'empilement 902 réalisé, on effectue le dépôt d'une couche de masque dur sur

l'empilement 902 par exemple à base de Si_3N_4 ou de SiO_2 ou à base de tout autre matériau apte à protéger l'empilement 902 d'une gravure telle que par exemple une gravure plasma. Ensuite, on dépose une couche de
5 résine photosensible par exemple à base de polyimide sur la couche de masque dur. On définit dans la couche de résine, par exemple par une méthode de photolithographie, un masque de résine 904 comportant un ou plusieurs motifs. Ensuite, on effectue une
10 gravure anisotrope de la couche de masque dur protégée par le masque de résine 904 pour réaliser un masque dur 903 sous le masque de résine 904 et reproduisant les motifs de ce dernier (figure 9B).

Le masque dur 903 comporte au moins un
15 motif de canal de transistor 1000b, par exemple de forme rectangulaire et tel que celui illustré sur la figure 10, reliant un motif de source 1000a de transistor, et un motif de drain 1000c de transistor.

On retire ensuite le masque de résine 904
20 par un procédé classique de décapage, par exemple à l'aide d'un plasma oxydant. On procède alors à une première étape de gravure des n couches C_1, \dots, C_n situées sous le masque dur 903.

Selon une variante du procédé, une fois
25 l'empilement 902 réalisé, on peut effectuer le dépôt d'une couche de résine directement sur l'empilement sans déposer de couche de masque dur, puis former le masque de résine 904 par photolithographie. On effectue alors la première étape de gravure à travers le masque
30 de résine 904.

La première étape de gravure peut comprendre la gravure anisotrope des n couches C_1, \dots, C_n à travers le masque dur 903, de sorte que les n couches C_1, \dots, C_n gravées de l'empilement, reproduisent les motifs du masque dur 903 (figure 9C) et notamment le motif de canal 1000b du masque dur (non illustré sur la figure 9C).

Puis, une seconde étape de gravure sélective isotrope d'une ou plusieurs couches C_k ($k \in [1, n]$) parmi les n couches C_1, \dots, C_n est effectuée et permet de retirer partiellement les couches C_k (figure 9D). Les couches C_k de l'empilement 902 ont des étendues inférieures à celles des autres couches. Il en résulte que l'empilement 902 comporte un profil dentelé 905, s'étendant dans au moins une direction orthogonale au plan principal du substrat 900 ou dans au moins une direction présentant un angle non nul avec le plan principal du substrat 900.

De manière préférable, la seconde étape de gravure sélective impacte les couches C_k et laisse les autres couches intactes.

Selon une caractéristique particulière du procédé suivant l'invention, les couches C_k partiellement retirées par la gravure sélective sont à base d'un premier matériau semi-conducteur tel que par exemple du SiGe, alors que les autres couches de l'empilement sont à base par exemple d'un second matériau semi-conducteur tel que du Si. Les couches C_k partiellement retirées par la gravure sélective peuvent être également à base d'un matériau isolant tel que du

SiO₂, alors que les autres couches de l'empilement sont à base d'un matériau semi-conducteur tel que du Si.

La figure 9E illustre une vue en coupe d'une partie de l'empilement 902. La coupe est réalisée
5 selon un plan orthogonal au plan $[0; \vec{j}; \vec{k}]$ du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ commun aux figures 9D et 9E.

La partie de l'empilement 902 illustrée à la figure 9E, est celle qui se trouve sous, et qui reproduit le motif de canal (illustré et noté 1000b sur
10 la figure 10) du masque dur 903.

Cette partie de l'empilement se présente sous forme d'une structure 902a formée de n barreaux B_1, \dots, B_n empilés, de formes sensiblement parallélépipédiques (une partie de l'empilement étant
15 schématisé à l'aide de traits discontinus sur la figure 9E). Les barreaux B_1, \dots, B_n sont des portions des couches C_1, \dots, C_n gravées qui reproduisent le motif de canal du masque dur 903. Les barreaux B_1, \dots, B_n sont vus selon une
coupe transversale. Ladite structure 902a comporte
20 certains barreaux B_k , $k \in [1, n]$, correspondant à une portion des couches C_k gravées de manière sélective. Ces barreaux B_k ont des largeurs W_k , mesurées dans des directions parallèles à celle définie par le vecteur \vec{i} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$, inférieures à celles
25 des autres barreaux.

Les barreaux B_1, \dots, B_n empilés ayant des largeurs différentes, la structure 902a comporte également un profil 905 dentelé.

Selon une caractéristique particulière du
30 procédé, le profil dentelé 905 de l'empilement 902 peut

être un profil en créneaux. En effet, suivant la qualité de la gravure sélective précédemment décrite, les barreaux B_k peuvent avoir une forme proche d'une forme parfaitement parallélépipédique. Des barreaux
5 empilés de forme proche d'une forme parfaitement parallélépipédique et de largeurs différentes les unes des autres réalisent un profil en créneaux.

Suivant la nature des matériaux qui composent les barreaux B_1, \dots, B_n la structure 902a peut
10 comporter un ou plusieurs barreaux susceptibles d'assurer une conduction électrique et, éventuellement, comporter un ou plusieurs barreaux non conducteurs. La structure 902a est ainsi susceptible de former un ou plusieurs canaux de transistors alignés et parallèles
15 dans le plan $[0; \vec{i}; \vec{k}]$ du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$.

Selon une caractéristique particulière du procédé suivant l'invention, on peut ajouter à la structure 902a, des bouchons isolants 907 entourant les
barreaux B_k dans une direction parallèle à un plan
20 principal du substrat 900, c'est-à-dire dans une direction parallèle au plan $[0; \vec{i}; \vec{k}]$. La formation des bouchons isolants 907 comprend une étape de dépôt conforme d'une couche diélectrique 906 par exemple de 20 à 50 nanomètres de nitrure sur la structure 902a
25 (figure 9F).

Puis, une gravure isotrope partielle de cette couche diélectrique 906 est effectuée. Cette gravure partielle est réalisée de manière à conserver une épaisseur de la couche diélectrique 906, de
30 préférence uniquement autour des barreaux B_k . Cette épaisseur est suffisante pour limiter l'influence

électrique sur les barreaux B_k d'une grille éventuellement formée ultérieurement sur la structure 902a. Par exemple cette épaisseur sera 10 fois supérieure à celle d'un isolant d'une grille
5 éventuellement formée ultérieurement sur la structure 902a. L'épaisseur restante de la couche diélectrique forme alors les bouchons isolants 907 (figure 9G).

Selon une caractéristique particulière du procédé suivant l'invention, une fois la structure 902a
10 réalisée, on peut procéder à la formation d'une grille recouvrant au moins partiellement, dans une direction parallèle au vecteur \vec{i} , ladite structure 902a.

Selon une variante du procédé, et suivant la nature des barreaux B_1, \dots, B_n , préalablement à la
15 formation de la grille, une ou plusieurs étape de dopage de la structure 902a peuvent être prévues. Ce ou ces dopages pourront être par exemple de type P pour des transistors NMOS et par exemple de type N, pour des transistors PMOS. Ces étapes de dopages peuvent
20 permettre notamment de diminuer les effets du canal court.

La formation de la grille peut être réalisée tout d'abord par dépôt, de préférence conforme, d'une couche d'isolant de grille 908 par
25 exemple à l'aide d'un matériau isolant d'épaisseur de 2 à 50 nanomètres tel que par exemple du Si_3N_4 , du SiO_2 , ou un matériau isolant de haute constante diélectrique. La couche d'isolant de grille 908 suit le profil dentelé de la structure 902a. Ensuite, par-dessus la
30 couche d'isolant de grille 908, on réalise le dépôt d'une couche 909 de matériau de grille, semi-conducteur

par exemple à base de SiGe, ou de polysilicium, ou conducteur par exemple à base de molybdène, ou de TiN.

La couche d'isolant de grille 908 et la couche 909 de matériau de grille sont alors gravées
5 pour former une grille 910. La grille 910 peut être commune à plusieurs canaux, selon que la structure 902a forme un ou plusieurs canaux de transistors.

La figure 9H illustre un dispositif suivant l'invention obtenu après l'étape de formation de la
10 grille précédemment décrite. la structure 902a repose sur la couche isolante 901 recouvrant le substrat 900. Le masque dur 903 a été conservé et recouvre le dessus de la structure 902a. La grille 910 formée de la couche d'isolant de grille 908 et de la couche 909 de matériau
15 semi-conducteur enrobe la structure 902a et le masque dur 903.

Conserver le masque dur 903 sur la structure 902a peut ainsi permettre d'empêcher une conduction parasite entre la grille 910 et le dessus de
20 la structure 902a.

Selon une variante du procédé suivant l'invention, le masque dur 903 peut être retiré préalablement à la formation de la grille 910.

Selon une caractéristique particulière du
25 procédé suivant l'invention, une première zone formant un drain et une seconde zone formant une source, à base de matériau semi-conducteur, peuvent être réalisées après la formation de la structure 902a par implantation ionique de dopants (par exemple : As, Pb,
30 B, BF₂) de manière à ce que la structure 902a, relie la source et le drain dans le sens de sa longueur. La

structure 902a, forme alors un ou plusieurs canaux de transistors alignés et parallèles entre eux dans un plan orthogonal à un plan principal du substrat.

Selon une variante de réalisation, la grille 910 peut être réalisée à l'aide d'un procédé Damascène à partir de la structure 902a. La formation de la grille 910 peut être réalisée tout d'abord par dépôt d'une couche d'isolante 950, par exemple à base d'oxyde HTO (HTO pour « High Temperature Oxide »). La couche isolante 950 peut être réalisée avec une épaisseur supérieure à la hauteur de la structure 902a, de manière à recouvrir cette dernière. On réalise ensuite une ouverture 960 dans la couche isolante 950, de manière à dévoiler la structure 902a. Cette ouverture 960 peut être formée à l'aide d'étapes classiques de photolithographie, suivie d'une gravure de la couche isolante 950. On effectue ensuite un dépôt, qui peut être conforme, d'une couche à base d'isolant de grille 908, par exemple à base de SiO_2 , ou de HfO_2 , sur la structure 902a (Figure 11A). L'ouverture 960 est ensuite remplie d'un matériau de grille 909, par exemple du polysilicium ou un métal (Figure 11B). Dans le cas où le remplissage de l'ouverture 960 dépasse de l'embouchure de cette dernière et recouvre la couche isolante 950, une étape de CMP (CMP pour « chemical mechanical planarization » ou polissage mécano-chimique) peut être prévue pour ne conserver le matériau de grille 909 que dans l'ouverture 960, jusqu'au niveau de l'embouchure de cette dernière (Figure 11C).

Une étape de retrait de la couche isolante 950 peut ensuite être effectuée (Figure 11D).

5

Documents cités

[1] : US patent 5,675,164, « High performance multi-mesa field effect transistor », October 1997, T.A. Brunner et al.

[2] : US patent 6,413,802 B1 « Finfet transistor structures having a double gate channel extending vertically from a substrate and methods of manufacture », July 2002, Hu et al.

REVENDICATIONS

1. Dispositif microélectronique à effet de champ comprenant :

- 5 a) un substrat (500)
- b) au moins une structure (502, 602, 702, 802) formant un ou plusieurs canaux (530, 630a, 630b, 630c, 630d, 630e, 730, 830) aptes à relier, dans le sens de leurs longueurs, une ou plusieurs
- 10 sources et un ou plusieurs drains, ladite structure étant bâtie d'un empilement dans une direction orthogonale à un plan principal du substrat d'au moins deux barreaux de largeurs différentes réalisant un profil (503) dentelé.

15

2. Dispositif microélectronique selon la revendication 1, ledit profil de la structure (602) étant un profil en créneau (603).

- 20 3. Dispositif microélectronique selon l'une des revendications 1 ou 2, l'empilement comprenant au moins deux barreaux successifs à base de matériaux différents.

- 25 4. Dispositif microélectronique selon l'une des revendications 1 à 3, l'empilement comprenant uniquement des barreaux susceptibles d'assurer une conduction électrique.

- 30 5. Dispositif microélectronique selon l'une des revendications 1 à 3, l'empilement comprenant

un ou plusieurs barreaux susceptibles d'assurer une conduction électrique et un ou plusieurs barreaux non conducteurs.

5 6. Dispositif microélectronique selon la revendication 5, l'empilement comprenant une alternance de barreaux susceptibles d'assurer une conduction électrique et de barreaux non conducteurs.

10 7. Dispositif microélectronique selon l'une des revendications 1 à 3, l'empilement comprenant au moins deux barreaux successifs à base de matériaux semi-conducteurs différents ou/et de dopages différents.

15 8. Dispositif microélectronique selon l'une des revendications 1 à 3, l'empilement comprenant au moins deux barreaux successifs dont un est à base d'un matériau semi-conducteur et l'autre est à base
20 d'un matériau isolant.

 9. Dispositif microélectronique selon la revendication 7, l'empilement comprenant au moins deux barreaux successifs dont un est à base de Si et l'autre
25 est à base de SiGe.

 10. Dispositif microélectronique selon l'une des revendications 5 ou 6, l'empilement comprenant au moins deux barreaux successifs dont un
30 est à base de Si et l'autre est à base de SiO₂.

11. Dispositif microélectronique selon l'une des revendications 1 à 10, au moins un des barreaux étant entouré au moins partiellement dans une direction parallèle à un plan principal du substrat de bouchons isolants (706).

12. Dispositif microélectronique selon la revendication 11, lesdits bouchons isolants (706) étant à base de nitrure.

13. Dispositif microélectronique selon l'une des revendications 1 à 12, ladite structure comprenant au moins deux barreaux de longueurs différentes ou/et d'épaisseurs différentes.

14. Dispositif microélectronique selon l'une des revendications 1 à 13, comprenant en outre un masque dur sur ledit empilement.

15. Dispositif microélectronique à effet de champ selon l'une des revendications 1 à 14 comprenant en outre : une grille (650,750) recouvrant au moins partiellement ladite structure (602,702) et éventuellement le masque dur.

16. Dispositif microélectronique à effet de champ selon l'une des revendications 1 à 15, comprenant en outre : une ou plusieurs sources (610a, 610b, 610c, 610d, 610e) reliées par ladite structure (602) à un ou plusieurs drains (620a, 620b, 620c, 620d, 620e).

17. Dispositif microélectronique à effet de champ comprenant :

- a) un substrat (500)
- b) au moins une structure (802) formant un ou
5 plusieurs canaux (830) aptes à relier, dans le sens de leurs longueurs, une seule source et un seul drain, ladite structure étant bâtie d'un empilement dans une direction orthogonale à un plan principal du substrat d'au moins deux
10 barreaux à base de matériaux différents ou/et de largeurs différentes.

18. Procédé de réalisation d'un dispositif microélectronique à effet de champ doté d'au moins une
15 structure (902a) comportant au moins deux barreaux empilés, de largeurs différentes, aptes à former un ou plusieurs canaux de transistors, le procédé comprenant les étapes de :

- formation, sur un substrat (900) d'un empilement
20 (902) de plusieurs couches (C_1, \dots, C_n) comportant au moins deux couches successives à base de matériaux différents,
- formation d'au moins un masque sur ledit empilement (902),
- 25 - gravure anisotrope des couches à travers le masque,
- gravure partielle et sélective d'une ou plusieurs couches de l'empilement.

30 19. Procédé selon la revendication 18, ledit empilement (902) comprenant au moins deux couches

à base de matériaux semi-conducteurs différents ou/et de dopages différents.

20. Procédé selon l'une des revendications
5 18 ou 19, ledit empilement (902) comprenant au moins une couche à base de Si et au moins une couche à base de SiGe.

21. Procédé selon l'une des revendications
10 18 à 20 ledit empilement (902) comprenant au moins une couche à base de matériau isolant et une couche à base de matériau semi-conducteur.

22. Procédé selon l'une des revendications
15 18 à 21 comprenant en outre : le dépôt conforme d'une couche diélectrique (906) sur ladite structure.

23. Procédé selon la revendication 22,
ladite couche diélectrique étant à base de nitrure.

20

24. Procédé selon l'une des revendications
22 ou 23 comprenant en outre : la gravure isotrope partielle de ladite couche diélectrique de manière à former des bouchons isolants (907) autour de certains
25 barreaux de ladite structure (902a).

25. Procédé selon l'une des revendications
18 à 24 comprenant en outre : la formation d'une grille (910) recouvrant au moins partiellement ladite
30 structure et éventuellement le masque dur.

26. Procédé selon la revendication 25, la formation de la grille comprenant les étapes consistant à :

- recouvrir la structure d'une couche isolante,
- 5 - réaliser au moins une ouverture dans la couche isolante de manière à dévoiler la structure,
- recouvrir la structure d'un isolant de grille,
- remplir l'ouverture d'un matériau de grille.

10 27. Procédé selon la revendication 25 ou 26, comprenant préalablement à la formation de la grille : une ou plusieurs étapes de dopage de ladite structure (902a).

1 / 11

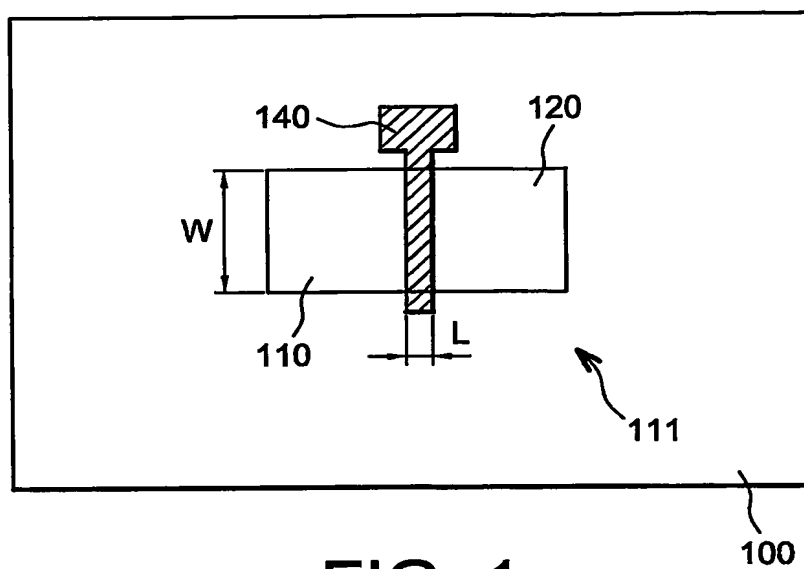


FIG. 1

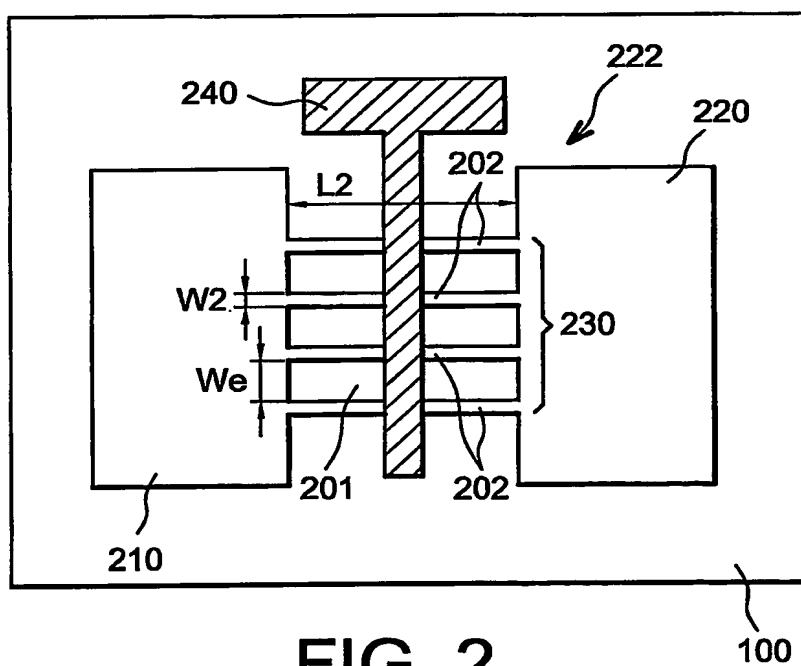


FIG. 2

2 / 11

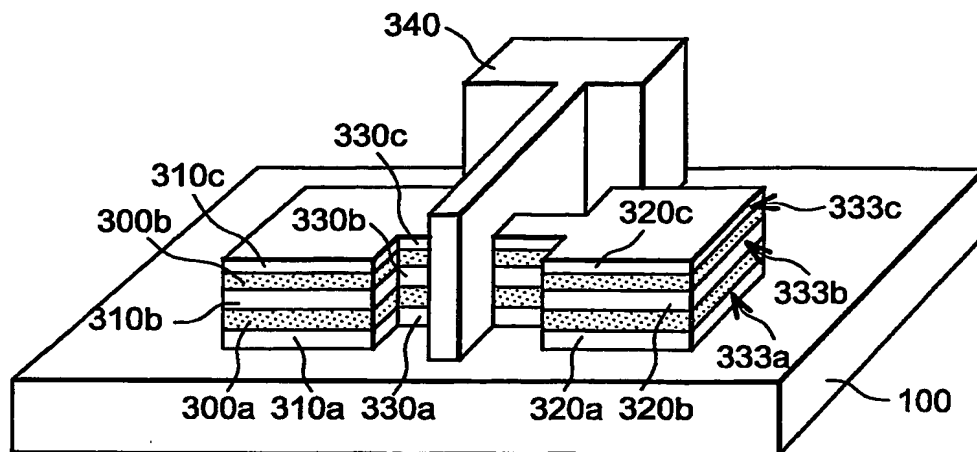


FIG. 3

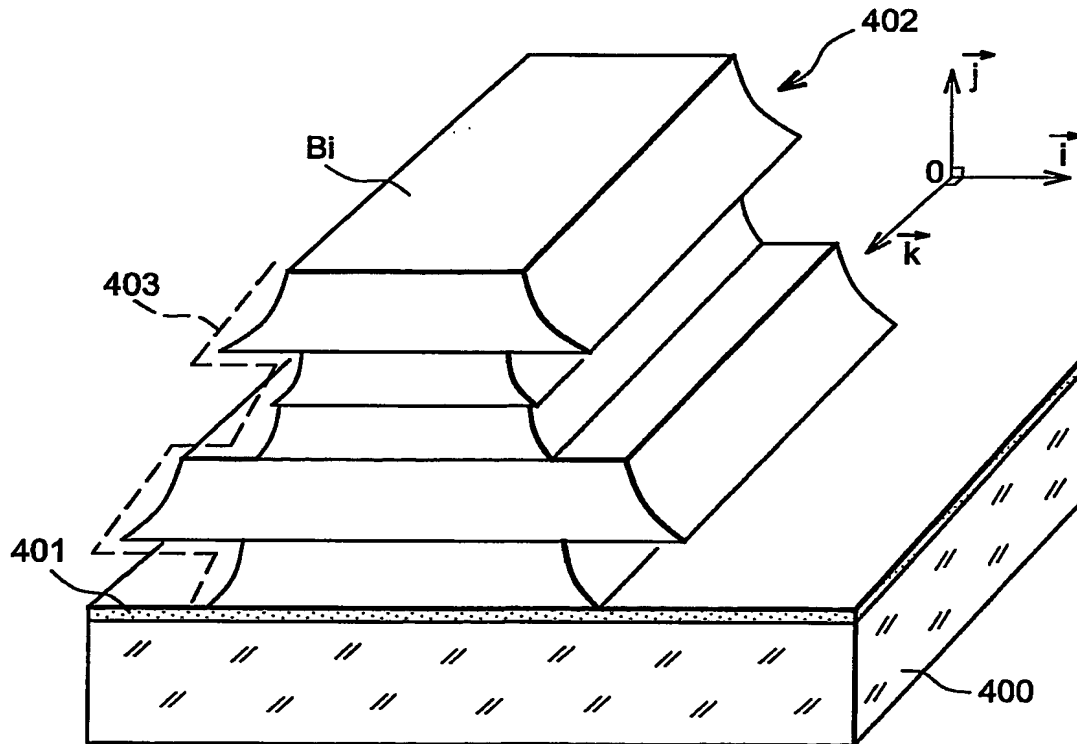


FIG. 4

3 / 11

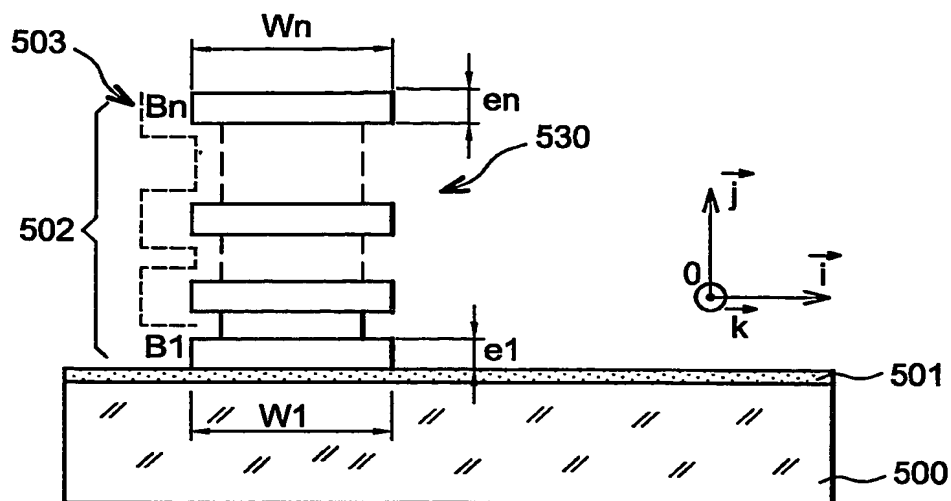


FIG. 5

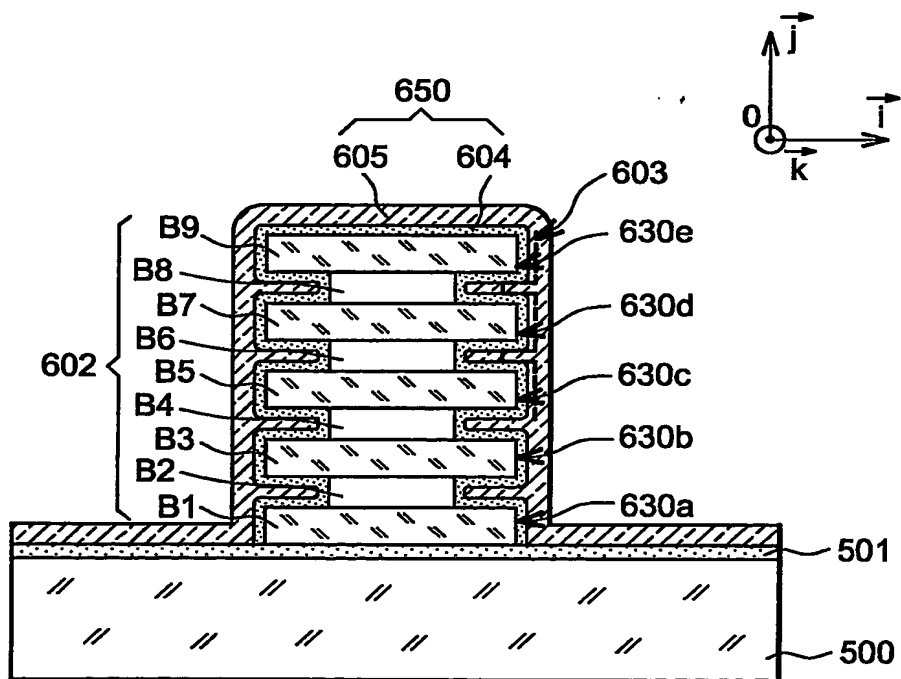
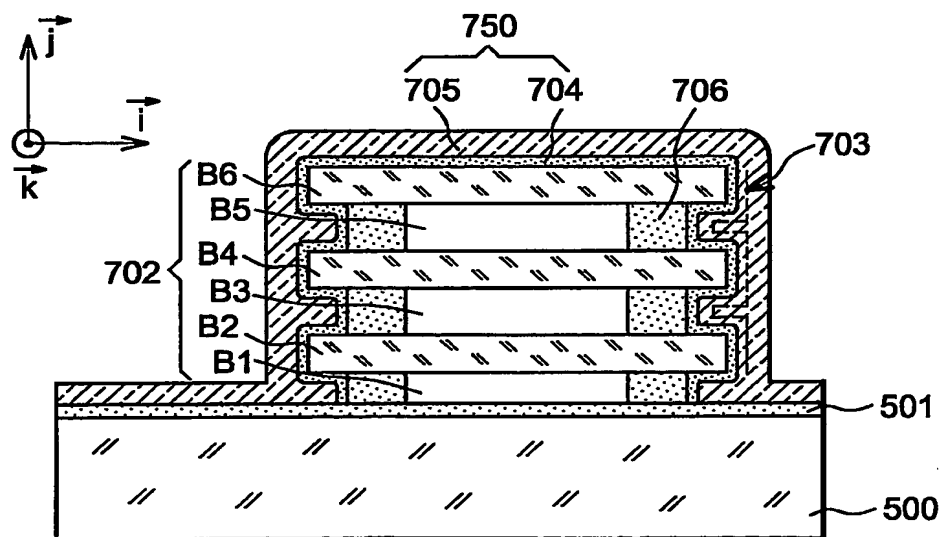
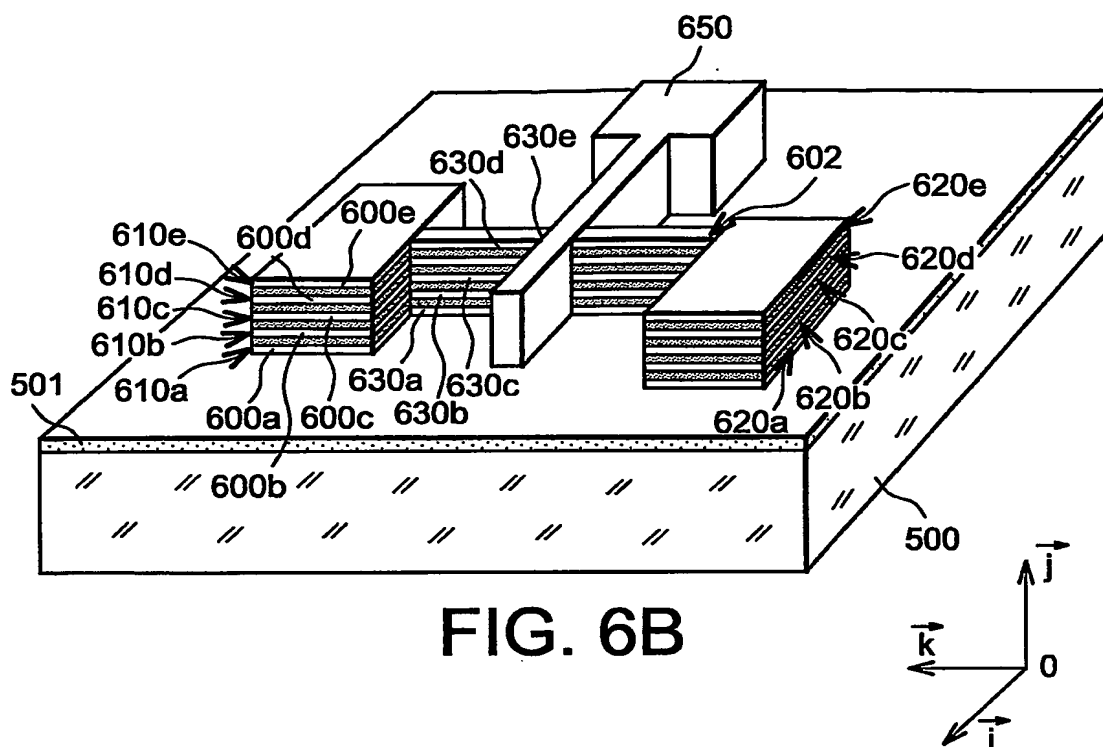
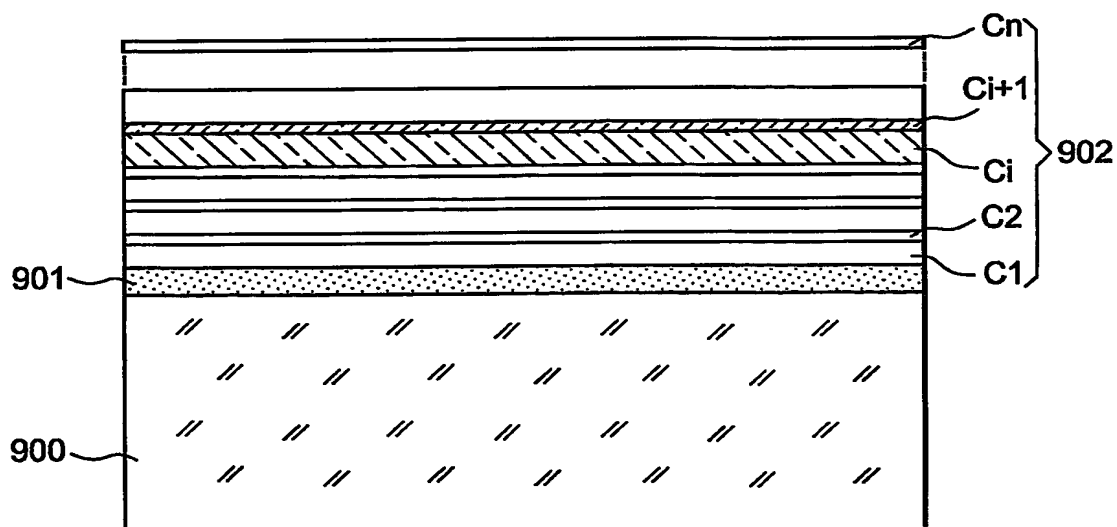
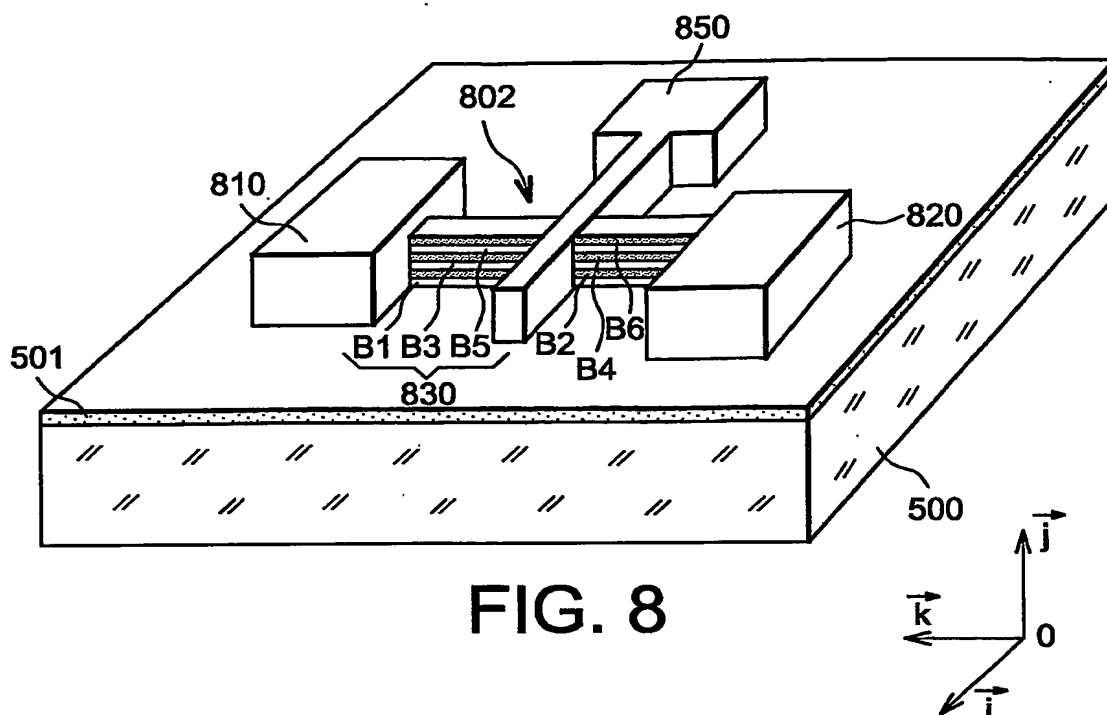


FIG. 6A

4 / 11



5 / 11



6 / 11

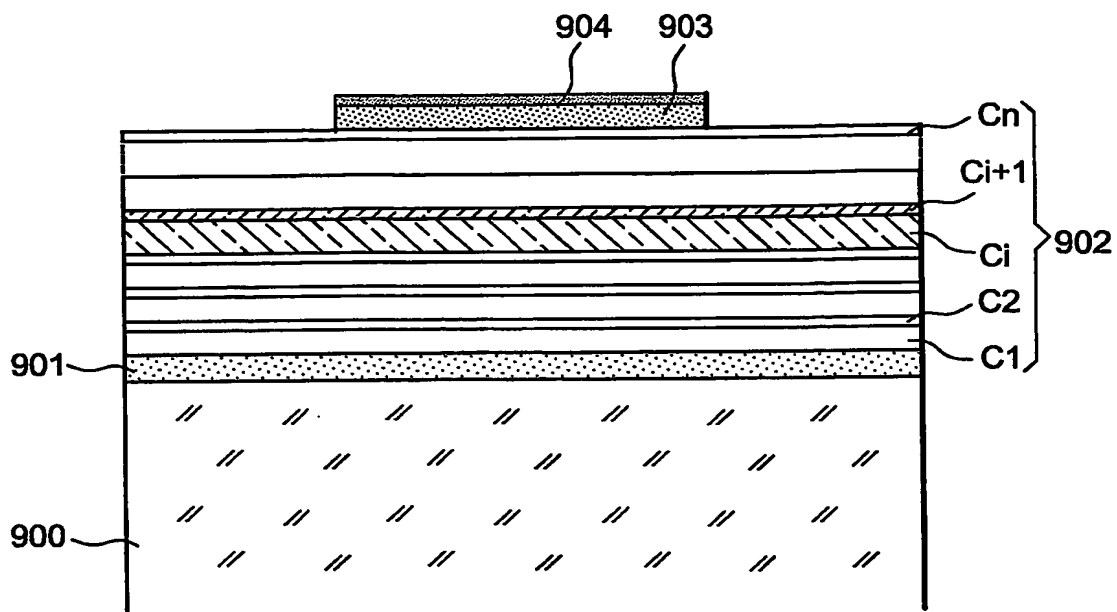


FIG. 9B

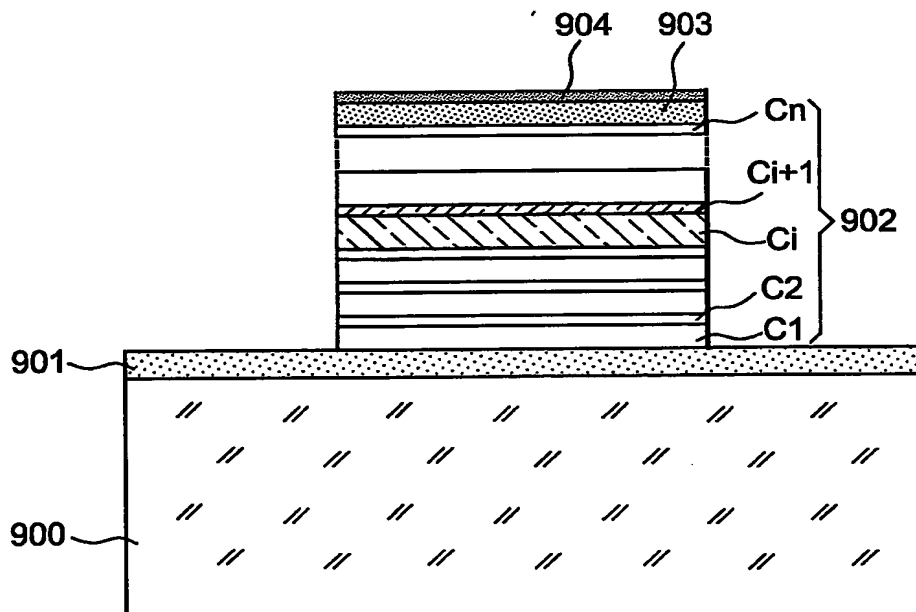


FIG. 9C

7 / 11

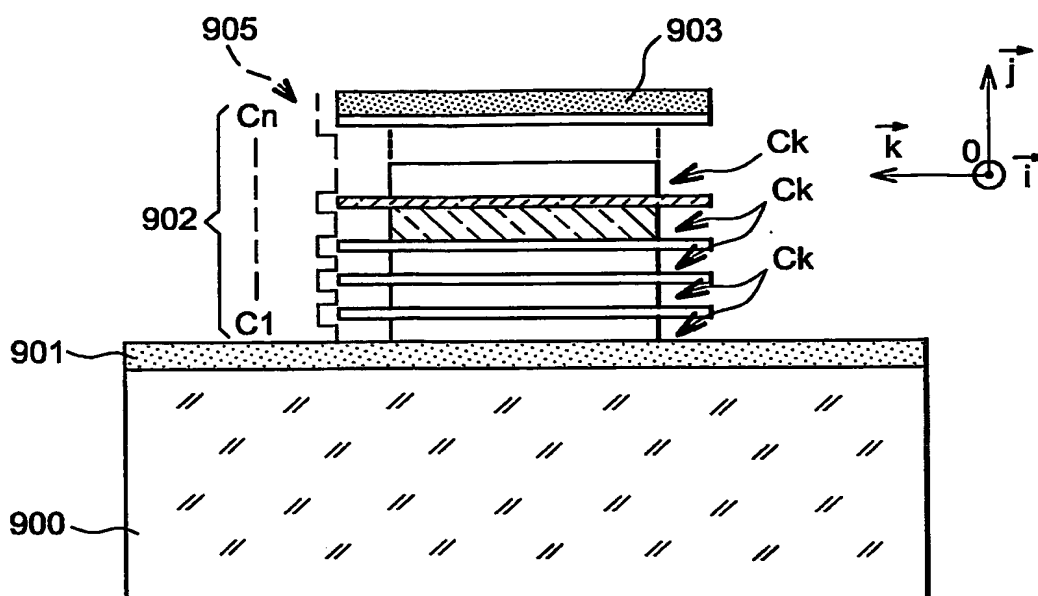


FIG. 9D

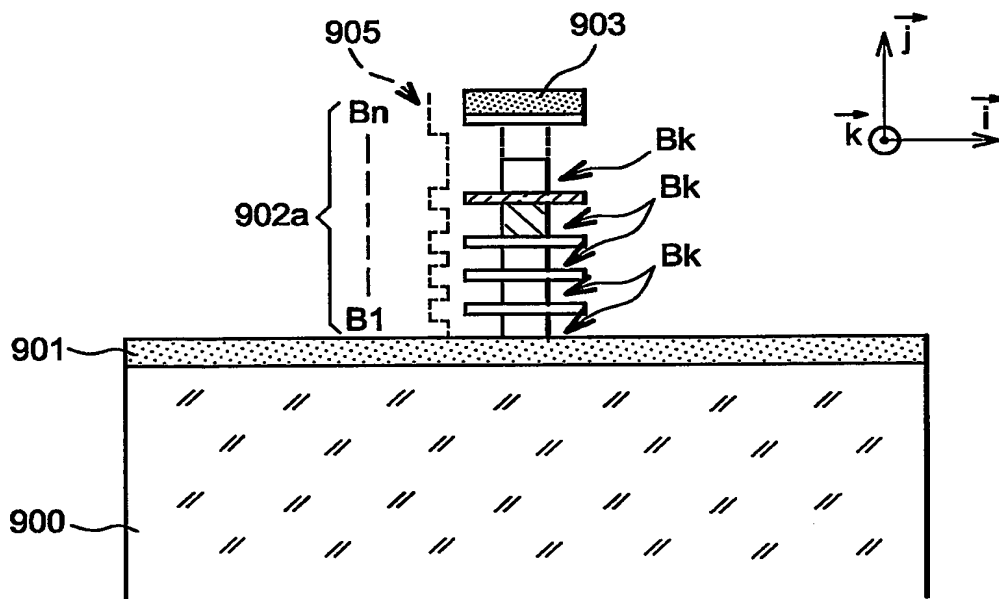


FIG. 9E

8 / 11

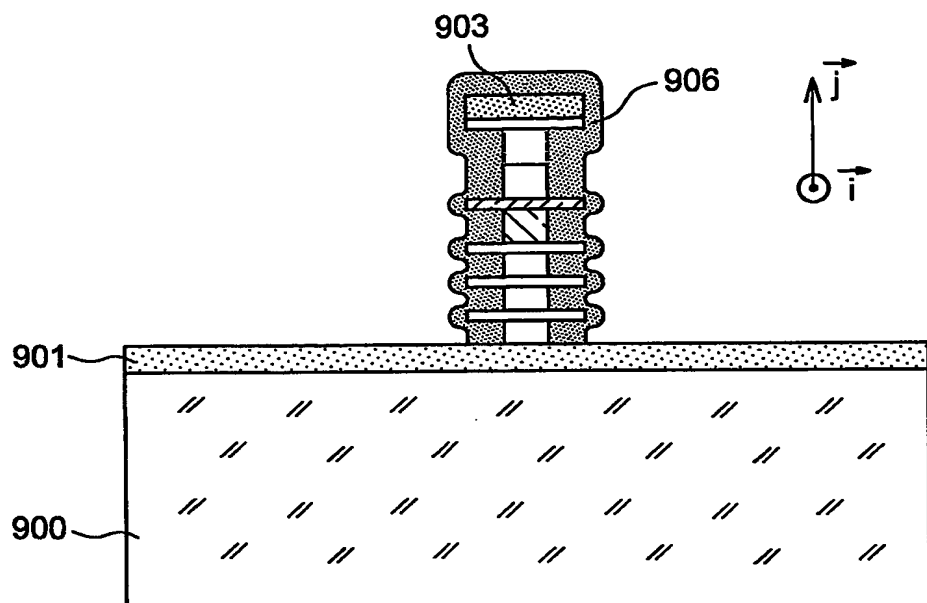


FIG. 9F

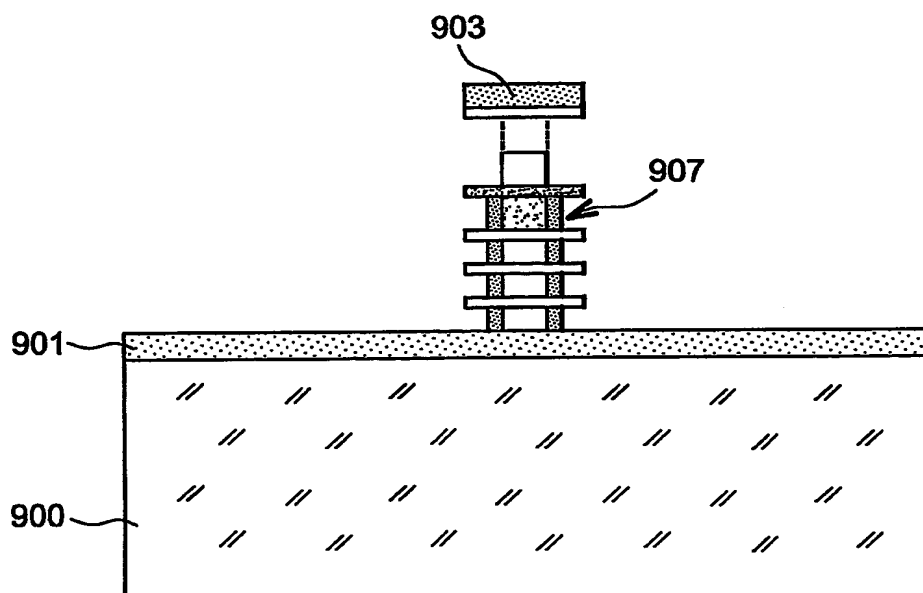


FIG. 9G

9 / 11

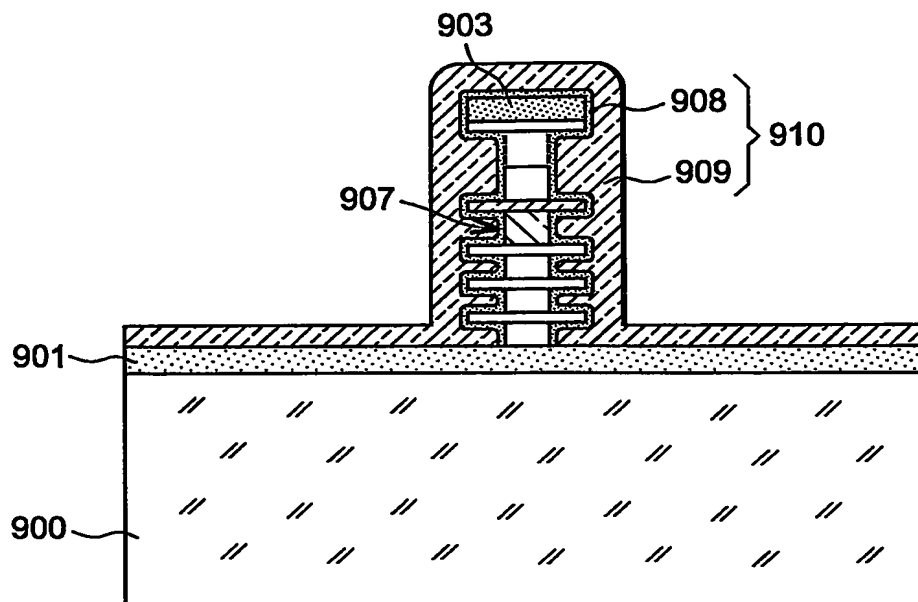


FIG. 9H

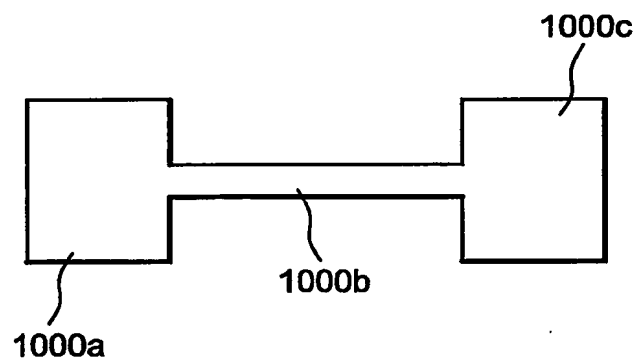


FIG. 10

10 / 11

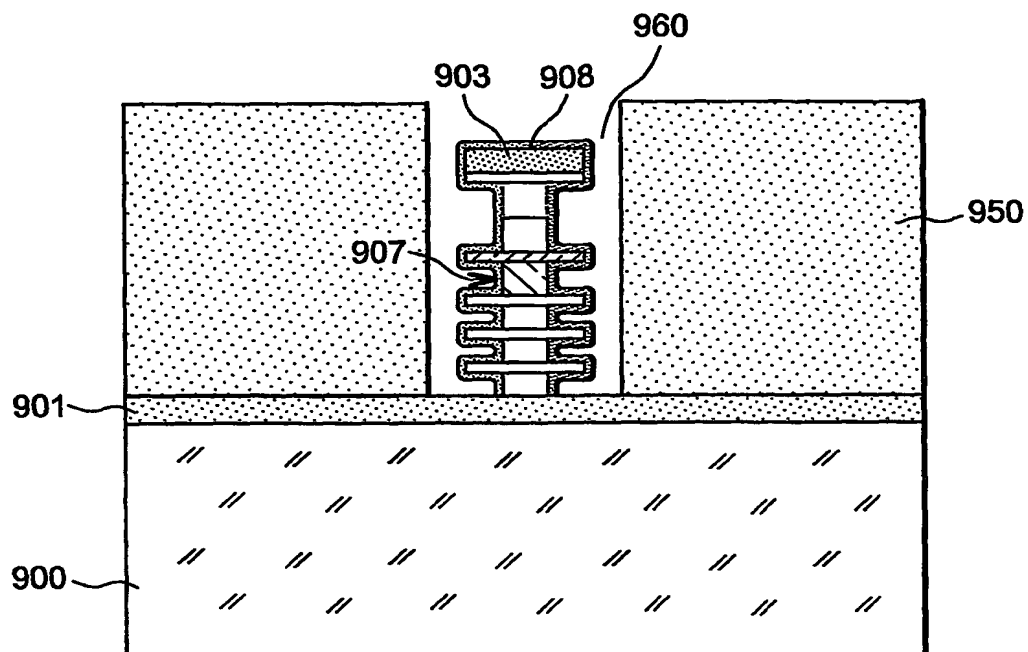


FIG. 11A

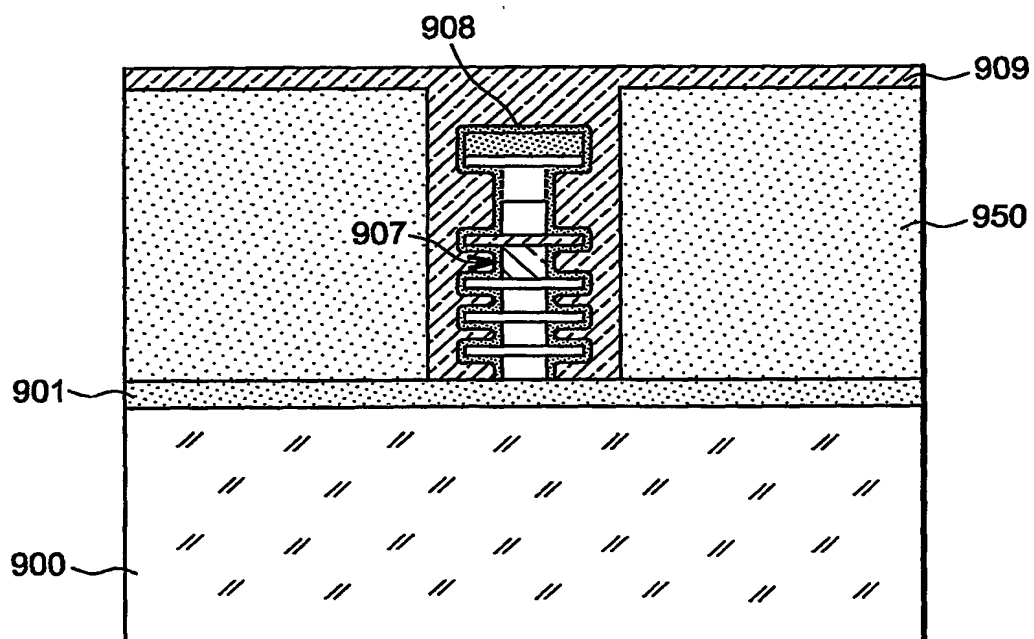


FIG. 11B

11 / 11

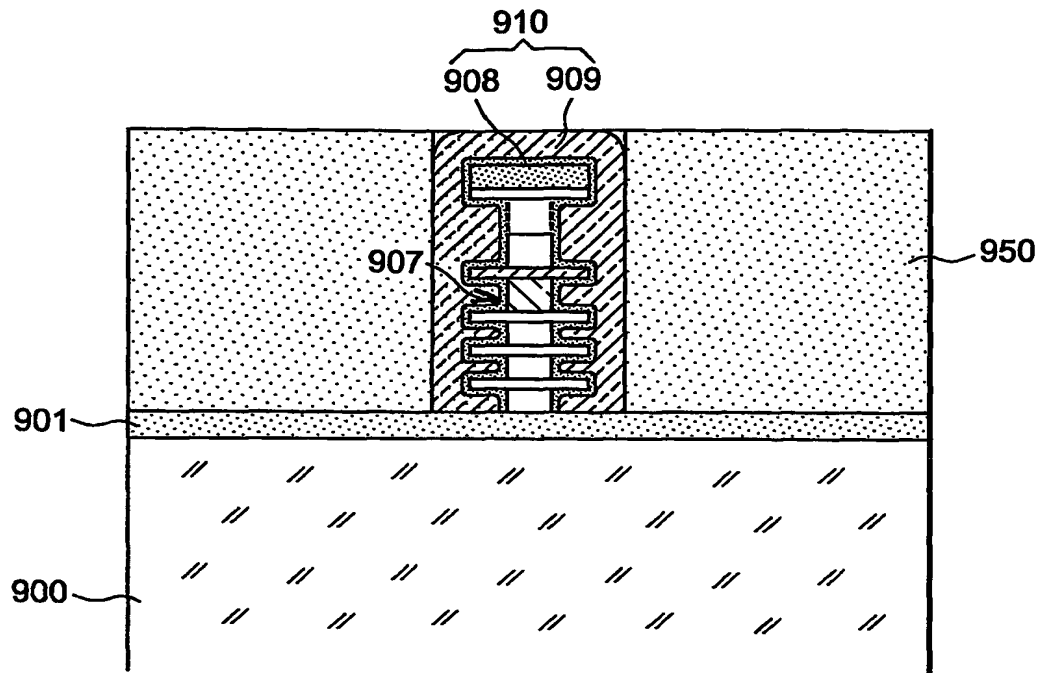


FIG. 11C

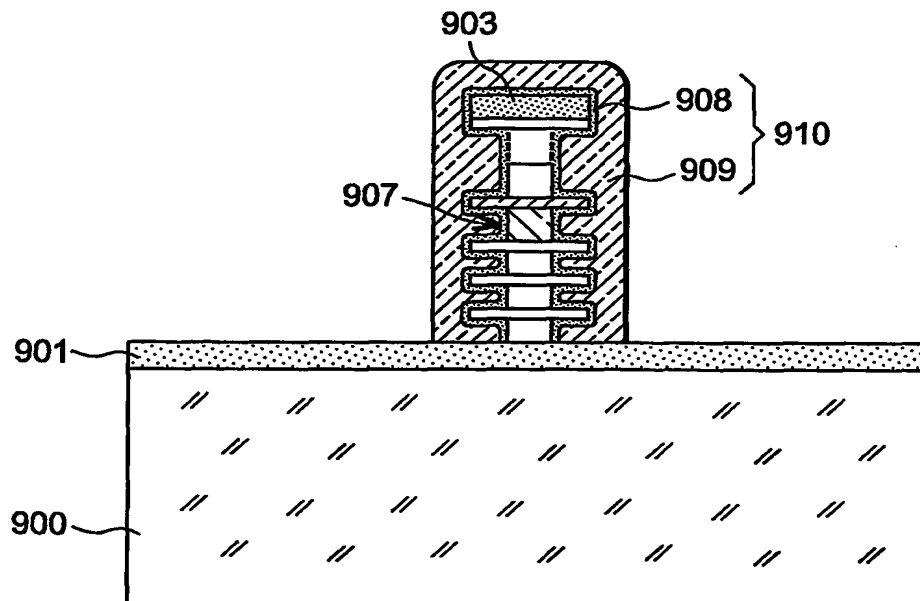


FIG. 11D

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR2004/050524

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/786 H01L29/423		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 780 911 A (CHO SEOK WON ET AL) 14 July 1998 (1998-07-14) figure 2	1-8, 10, 11, 13, 15-19, 21, 22, 25
A	US 6 562 665 B1 (YU BIN) 13 May 2003 (2003-05-13) figures 10-18	1-27
A	US 6 127 702 A (KOYAMA JUN ET AL) 3 October 2000 (2000-10-03) figures 9-17	8, 10
A	US 5 965 914 A (MIYAMOTO SHOICHI) 12 October 1999 (1999-10-12) figure 19	1
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 28 February 2005		Date of mailing of the international search report 11/03/2005
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Juhl, A

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR2004/050524

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 413 802 B1 (SUBRAMANIAN VIVEK ET AL) 2 July 2002 (2002-07-02) cited in the application figures 4-6	1
A	US 5 675 164 A (BRUNNER TIMOTHY A ET AL) 7 October 1997 (1997-10-07) cited in the application figure 2	1,2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/FR2004/050524

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5780911	A	14-07-1998	KR 198630 B1 KR 198629 B1 JP 2739642 B2 JP 9232448 A	01-07-1999 01-07-1999 15-04-1998 05-09-1997
US 6562665	B1	13-05-2003	NONE	
US 6127702	A	03-10-2000	JP 10093100 A	10-04-1998
US 5965914	A	12-10-1999	JP 11008390 A DE 19803479 A1 TW 401643 B	12-01-1999 24-12-1998 11-08-2000
US 6413802	B1	02-07-2002	NONE	
US 5675164	A	07-10-1997	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No
PCT/FR2004/050524

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H01L29/786 H01L29/423

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)
EPO-Internal, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 780 911 A (CHO SEOK WON ET AL) 14 juillet 1998 (1998-07-14) figure 2	1-8, 10, 11, 13, 15-19, 21, 22, 25
A	US 6 562 665 B1 (YU BIN) 13 mai 2003 (2003-05-13) figures 10-18	1-27
A	US 6 127 702 A (KOYAMA JUN ET AL) 3 octobre 2000 (2000-10-03) figures 9-17	8, 10
A	US 5 965 914 A (MIYAMOTO SHOICHI) 12 octobre 1999 (1999-10-12) figure 19	1
	-/-	

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *Z* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

28 février 2005

Date d'expédition du présent rapport de recherche internationale

11/03/2005

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Juhl, A

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No
PCT/FR2004/050524

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 6 413 802 B1 (SUBRAMANIAN VIVEK ET AL) 2 juillet 2002 (2002-07-02) cité dans la demande figures 4-6 -----	1
A	US 5 675 164 A (BRUNNER TIMOTHY A ET AL) 7 octobre 1997 (1997-10-07) cité dans la demande figure 2 -----	1,2

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Document de l'Organisation Mondiale de l'Intellectuel No

PCT/FR2004/050524

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5780911	A	14-07-1998	KR 198630 B1	01-07-1999
			KR 198629 B1	01-07-1999
			JP 2739642 B2	15-04-1998
			JP 9232448 A	05-09-1997
US 6562665	B1	13-05-2003	AUCUN	
US 6127702	A	03-10-2000	JP 10093100 A	10-04-1998
US 5965914	A	12-10-1999	JP 11008390 A	12-01-1999
			DE 19803479 A1	24-12-1998
			TW 401643 B	11-08-2000
US 6413802	B1	02-07-2002	AUCUN	
US 5675164	A	07-10-1997	AUCUN	